

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-102669

⑤ Int. Cl.<sup>4</sup>

G 06 F 13/14  
1/00

識別記号

3 2 0  
3 7 0

庁内整理番号

A-7737-5B  
G-7459-5B

⑬ 公開 平成1年(1989)4月20日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 装置番号設定方式

⑮ 特 願 昭62-259982

⑯ 出 願 昭62(1987)10月15日

⑰ 発 明 者 酒 井 正 貴 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 発 明 者 村 山 雅 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 発 明 者 吉 村 修 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑰ 代 理 人 井 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

装置番号設定方式

2. 特許請求の範囲

制御装置(100)と、該制御装置(100)により制御される複数の被制御装置(200)とにより構成されるシステムにおいて、

前記制御装置(100)と、前記各被制御装置(200)とを縦続接続するバスケーブルに、前記各被制御装置(200)に付与する装置番号を伝送する第一の信号線(300)と、

該第一の信号線(300)上における前記装置番号の伝送時期を指定する制御信号を伝送する第二の信号線(400)とを設け、

前記制御装置(100)に、

前記各被制御装置(200)に付与する前記装置番号をデジタル符号化し、時分割多重化して前記第一の信号線(300)に送出する装置番号送出手段(500)と、

前記制御装置(100)に隣接する最前段の前記被制御装置(200)に付与される前記装置番号の送出時期を指定する前記制御信号を、前記第二の信号線(400)に送出する制御信号送出手段(600)とを設け、

前記各被制御装置(200)に、

隣接する前記制御装置(100)または前段の被制御装置(200)から前記第一の信号線(300)を経由して伝達される前記装置番号を、前記制御装置(100)または前段の被制御装置(200)から前記第二の信号線(400)を経由して伝達される前記制御信号に同期して保持すると共に、前記制御装置(100)または前段の被制御装置(200)から伝達される前記装置番号を遅延させること無く後段の被制御装置(200)に転送する装置番号保持手段(700)と、

前記制御装置(100)または前記前段の被制御装置(200)から伝達される前記制御信号に、一つの前記装置番号が前記第一の信号線(300)上を伝送される期間に等しい遅延を与えて前

記後段の被制御装置(200)に転送する遅延手段(800)とを設けることを特徴とする装置番号設定方式。

### 3. 発明の詳細な説明

#### (概要)

制御装置と複数の被制御装置とから構成されるシステムに係り、特に各被制御装置に装置番号を設定する装置番号設定方式の改良に関し、

多くの工数を費やすことなく、且つ人為的な誤りが発生しない装置番号設定方式を実現することを目的とし、

制御装置と各被制御装置とを縦続接続するバスケーブルに、各被制御装置に付与する装置番号を伝送する第一の信号線と、第一の信号線上における装置番号の伝送時期を指定する制御信号を伝送する第二の信号線とを設け、制御装置に、各被制御装置に付与する装置番号をデジタル符号化し、時分割多重化して第一の信号線に送出する装置番号送出手段と、制御装置に隣接する最前段の被制

御装置に付与される装置番号の送出時期を指定する制御信号を、第二の信号線に送出する制御信号送出手段とを設け、各被制御装置に、隣接する制御装置または前段の被制御装置から第一の信号線を經由して伝達される装置番号を、制御装置または前段の被制御装置から第二の信号線を經由して伝達される制御信号に同期して保持すると共に、制御装置または前段の被制御装置から伝達される装置番号を遅延させることなく後段の被制御装置に転送する装置番号保持手段と、制御装置または前段の被制御装置から伝達される制御信号に、一つの装置番号が第一の信号線上を伝送される期間に等しい遅延を与えて後段の被制御装置に転送する遅延手段とを設ける様に構成する。

#### (産業上の利用分野)

本発明は制御装置と複数の被制御装置とから構成されるシステムに係り、特に各被制御装置に装置番号を設定する装置番号設定方式の改良に関する。

制御装置と複数の被制御装置とが、バスケーブルにより縦続接続されている如きシステムにおいて、制御装置からバスケーブルを經由して所要の被制御装置に所要の指令等を配送する為に、各被制御装置を識別する装置番号を付与し、バスケーブルを經由して配送する指令等に、配送先の被制御装置に付与されている装置番号を付加する方法が広く採用されている。

各被制御装置に付与される装置番号は、システムの設置場所において、制御装置および各被制御装置の接続が決定された段階で定まる為、各被制御装置には設置場所で設定する必要がある、工場内で予め付与して置くことが不可能である。

#### (従来の技術)

第4図は従来ある装置番号設定方式の一例を示す図である。

第4図においては、電子交換機を構成する一台の中央制御装置(CC)1と、中央制御装置1により制御される四台のネットワーク(NW)2

(各ネットワークを区別する場合には、2-0乃至2-3と称する。以下同様)が、バスケーブル3により縦続接続されている。

各ネットワーク2には、装置番号設定端子 $T_{00}$ 乃至 $T_{11}$ と装置番号レジスタ21とが、二進二桁から成る装置番号 $MNC = (b_{10}, b_{00}) = (00)$ 乃至 $(11)$ を設定する為に設けられている。

装置番号設定端子 $T_{00}$ 乃至 $T_{11}$ は装置番号 $MNC$ の第0桁 $b_{00}$ を設定する為に使用され、また装置番号設定端子 $T_{10}$ 乃至 $T_{11}$ は装置番号 $MNC$ の第1桁 $b_{10}$ を設定する為に使用される。

今、ネットワーク2-0乃至2-3に、それぞれ装置番号 $MNC = (00)$ 乃至 $(11)$ を付与するものとする、装置番号 $MNC$ の第0桁 $b_{00}$ が論理"0"であるネットワーク2-0および2-2においては、装置番号設定端子 $T_{00}$ と $T_{01}$ とが接続され、装置番号 $MNC$ の第0桁 $b_{00}$ が論理"1"であるネットワーク2-1および2-3においては、装置番号設定端子 $T_{10}$ と $T_{11}$ とが接続

され、また装置番号MNCの第1桁 $b_{11}$ が論理“0”であるネットワーク2-0および2-1においては、装置番号設定端子 $T_{11}$ と $T_{12}$ とが接続され、装置番号MNCの第1桁 $b_{11}$ が論理“1”であるネットワーク2-2および2-3においては、装置番号設定端子 $T_{11}$ と $T_{12}$ とが接続される。

その結果、各ネットワーク2-0乃至2-3の装置番号レジスタ21-0乃至21-3には、それぞれ装置番号MNC = ( $b_{11}$ ,  $b_{12}$ ) = (00)乃至(11)が設定される。

かかる状態で、中央制御装置1が所要のネットワーク(例えば2-1)に伝達すべきコマンドCに、配送先ネットワーク2-1の装置番号MNC = (01)を付加してバスケーブル3に送出すると、コマンドCはバスケーブル3を経由して各ネットワーク2内のコマンドレジスタ(CR)22に蓄積される。

コマンドCを受信した各ネットワーク2は、コマンドCに付加されている装置番号MNC = (0

1)と、各装置番号レジスタ21に設定されている自装置番号MNC = (00)乃至(11)とを照合する。

照合の結果、両装置番号MNCが一致したネットワーク2-1は、受信したコマンドCが自ネットワーク2-1宛であると判定し、コマンドCに対する動作を開始するが、両装置番号MNCが不一致であったその他のネットワーク2-0、2-2および2-3は、受信したコマンドCが自ネットワーク2-0、2-2および2-3宛では無いと判定し、コマンドCに対する動作は実行しない。

#### (発明が解決しようとする問題点)

以上の説明から明らかな如く、従来ある装置番号設定方式においては、各ネットワーク2に装置番号MNCを設定する為に、それぞれ装置番号設定端子 $T_{11}$ 乃至 $T_{12}$ を装置番号MNCに合わせて接続する必要があり、多くの工数を費やすのみならず、人為的な誤りを生ずる恐れがあり、重複設定等の障害を引起す問題点があった。

なお装置番号設定端子 $T_{11}$ 乃至 $T_{12}$ を接続する代わりに、スイッチを操作する方法も実用されているが、同様の問題点が生ずる。

本発明は、多くの工数を費やすこと無く、且つ人為的な誤りが発生しない装置番号設定方式を実現することを目的とする。

#### (問題点を解決するための手段)

第1図は本発明の原理を示す図である。

第1図において、100は制御装置、200はそれぞれ制御装置100により制御される被制御装置で、本発明の対象となるシステムを構成する。

300および400は、本発明により、制御装置100と各被制御装置200とを接続接続するバスケーブルに設けられた第一の信号線および第二の信号線である。

500は、本発明により制御装置100内に設けられた装置番号送出手段である。

600は、本発明により制御装置100内に設けられた制御信号送出手段である。

700は、本発明により各被制御装置200に設けられた装置番号保持手段である。

800は、本発明により各被制御装置200に設けられた遅延手段である。

なお各被制御装置200に対し、より制御装置100に近い側に隣接する被制御装置200を前段の被制御装置200と称し、またより制御装置100から遠い側に隣接する被制御装置200を後段の被制御装置200と称し、更に制御装置100に直接接続されている被制御装置200を最前段の被制御装置200と称する。

#### (作用)

第一の信号線300は、各被制御装置200に付与する装置番号を伝送する為に設けられ、また第二の信号線400は、第一の信号線300上における装置番号の伝送時期を指定する制御信号を伝送する為に設けられる。

装置番号送出手段500は、各被制御装置200に付与する装置番号をデジタル符号化し、時

分割多重化して第一の信号線300に送出する。

制御信号送出手段600は、制御装置100に隣接する最前段の被制御装置200に付与される装置番号の送出時期を指定する制御信号を、第二の信号線400に送出する。

装置番号保持手段700は、制御装置100または前段の被制御装置200から、第一の信号線300を経由して伝達される装置番号を、制御装置100または前段の被制御装置200から第二の信号線400を経由して伝達される制御信号に同期して保持すると共に、制御装置100または前段の被制御装置200から伝達される装置番号を遅延させること無く後段の被制御装置200に転送する。

遅延手段800は、前段の被制御装置200から伝達される制御信号に、一つの装置番号が第一の信号線300上を伝達される期間に等しい遅延を与えて後段の被制御装置200に転送する。

従って、システムの設置場所において、制御装置と各被制御装置とをバスケーブルにより接続す

ている。なお第2図においては、中央制御装置1と各ネットワーク2とを連続接続するバスケーブル3(第4図)は省略されている。

装置番号線4は、中央制御装置1内のゲート13の出力端子と最前段のネットワーク2-0の入力端子A。との間を接続すると共に、前段のネットワーク2の出力端子B。と後段のネットワーク2の入力端子A。とを接続するが、各ネットワーク2内において、入力端子A。と出力端子B。とは直接短絡されている為、装置番号線4は、中央制御装置1内のゲート13の出力端子を、各ネットワーク2の入力端子A。に接続することとなる。

一方制御信号線5は、中央制御装置1内のゲート14の出力端子と最前段のネットワーク2-0の入力端子A。との間を接続し、また前段のネットワーク2の出力端子B。と後段のネットワーク2の入力端子A。とを接続する。

中央制御装置1内には、第1図における装置番号送出手段500および制御信号送出手段600として、二進二桁のカウント(CNT)11およ

ると、各被制御装置に付与される装置番号が自動的に設定されることとなり、装置番号設定用の工数は大幅に削減され、また人為的な誤りが発生する危険性も除去される。

#### (実施例)

以下、本発明の一実施例を図面により説明する。第2図は本発明の一実施例による装置番号設定方式を示す図であり、第3図は第2図における各種信号波形を例示する図である。なお、全図を通じて同一符号は同一対象物を示す。また対象とするシステムは、第4図におけると同様に電子交換機とし、制御装置100は中央制御装置(CC)1、被制御装置200は四台のネットワーク(NW)2とする。また各ネットワーク2-0乃至2-3に付与する装置番号MNCは、前述と同様に(b<sub>1</sub>, b<sub>2</sub>, c) ~ (00)乃至(11)とす。

第2図においては、第1図における第一の信号線300および第二の信号線400として、それぞれ装置番号線4および制御信号線5が設けられ

びマルチプレクサ(MPX)12が設けられており、また各ネットワーク2内には、第1図における装置番号保持手段700として遅延素子(DL)23およびフリップフロップ(FF)24が、また第1図における遅延手段800として遅延素子(DL)25が設けられている。

第2図および第3図において、中央制御装置1に各ネットワーク2が接続されていない状態では、ゲート13および14にはイネーブル信号e(論理"1")が入力されず、またカウンタ11にはクロック信号clkが入力されない。

かかる状態で、中央制御装置1に各ネットワーク2が、ネットワーク2-0を最前段とし、以後ネットワーク2-1乃至2-3の順に、図示されるバスケーブルにより接続されると、中央制御装置1はゲート13および14にイネーブル信号e(=論理"1")を入力して導通状態とすると共に、カウンタ11を初期設定した後、周期2τを有するクロック信号clkを入力する。

カウンタ11は、クロック信号clkにより歩

進を開始し、各周期 ( $2r$ ) においてネットワーク 2-0 乃至 2-3 の装置番号  $MNC$  に相当する 0 桁ビット  $b_0$ 、および 1 桁ビット  $b_1$  を出力し、マルチプレクサ 12 に伝送する。

マルチプレクサ 12 は、カウンタ 11 から伝送される 0 桁ビット  $b_0$ 、および 1 桁ビット  $b_1$  を時分割多重化し、装置番号列  $b$  として、逓進状態にあるゲート 13 を介して装置番号線 4 に送出する。

以上により装置番号列  $b$  は、第一周期 (時点  $t_0$  乃至  $t_1$ ) においてネットワーク 2-0 の装置番号  $MNC = (00)$  を、第二周期 (時点  $t_1$  乃至  $t_2$ ) においてネットワーク 2-1 の装置番号  $MNC = (01)$  を、第三周期 (時点  $t_2$  乃至  $t_3$ ) においてネットワーク 2-2 の装置番号  $MNC = (10)$  を、第四周期 (時点  $t_3$  乃至  $t_4$ ) においてネットワーク 2-3 の装置番号  $MNC = (11)$  を示す。

更にカウンタ 11 は、第二周期の前半 (時点  $t_1$  乃至  $t_2$ ) に制御信号  $c$  を出力し、逓進状態

にあるゲート 14 を介して制御信号線 5 に送出する。

装置番号線 4 上に送出された装置番号列  $b$  は、装置番号線 4 を経由して各ネットワーク 2 内にある遅延素子 23 の入力端子  $D$  に入力され、 $1/4$  周期 ( $r/2$ ) の遅延を与えられた後、各遅延素子 23 の出力端子  $Q$  からビット列  $b_{00}$  として出力され、ビット列  $b_{00}$  から更に  $1/2$  周期 ( $r$ ) の遅延を与えられた後、各出力端子  $Q$  からビット列  $b_{01}$  として出力され、それぞれフリップフロップ 24 の入力端子  $D$ 、および  $D$  に伝送される。

従って、ビット列  $b_{00}$  および  $b_{01}$  は、それぞれ時点  $t_0$ 、 $t_1$  乃至  $t_2$ 、 $t_3$ 、 $t_4$  乃至  $t_5$ 、 $t_6$  乃至  $t_7$ 、 $t_8$  乃至  $t_9$  において、各々装置番号  $MNC$  の第 0 桁  $b_0$  および第 1 桁  $b_1$  を示す。

一方中央制御装置 1 から制御信号線 5 上に送出された制御信号  $c$  は、制御信号線 5 を経由して最前段のネットワーク 2-0 内のフリップフロップ 24 のクロック端子  $CK$  と、遅延素子 25 の入

力端子  $D$  に伝送される。

ネットワーク 2-0 内のフリップフロップ 24 は、クロック端子  $CK$  に入力される制御信号  $c$  の立上がり時点  $t_0$  において、入力端子  $D$  および  $D$  に入力されるビット列  $b_{00}$  および  $b_{01}$  を保持し、出力端子  $Q$  および  $Q$  からそれぞれ装置番号  $MNC$  の第 0 桁  $b_0$  および第 1 桁  $b_1$  として、共に論理 "0" を出力する。

以上により、ネットワーク 2-0 に付与された装置番号  $MNC = (b_0, b_1) = (00)$  が、フリップフロップ 24 に設定されたこととなる。

一方ネットワーク 2-0 内の遅延素子 25 は、入力端子  $D$  に入力された制御信号  $c$  に、装置番号列  $b$  により各装置番号  $MNC$  が伝送される期間、即ち 1 周期 ( $2r$ ) の遅延を与えた後、出力端子  $Q$  から制御信号  $c$  として出力し、ネットワーク 2-0 の出力端子  $B$  から制御信号線 5 に送出する。

制御信号線 5 上に送出された制御信号  $c$  は、制御信号線 5 を経由して後段のネットワーク 2-

1 の入力端子  $A$  に伝送される。

ネットワーク 2-1 においては、入力端子  $A$  から入力された制御信号  $c$  が、フリップフロップ 24 のクロック端子  $CK$  と、遅延素子 25 の入力端子  $D$  とに伝送される。

ネットワーク 2-1 内のフリップフロップ 24 は、クロック端子  $CK$  に入力される制御信号  $c$  の立上がり時点  $t_1$  において、入力端子  $D$  および  $D$  に入力されるビット列  $b_{00}$  および  $b_{01}$  を保持し、出力端子  $Q$  および  $Q$  からそれぞれ装置番号  $MNC$  の第 0 桁  $b_0$  および第 1 桁  $b_1$  として、論理 "1" および論理 "0" を出力する。

以上により、ネットワーク 2-1 に付与された装置番号  $MNC = (b_0, b_1) = (01)$  が、フリップフロップ 24 に設定されたこととなる。

一方ネットワーク 2-1 内の遅延素子 25 は、入力端子  $D$  に入力された制御信号  $c$  に 1 周期 ( $2r$ ) の遅延を与えた後、出力端子  $Q$  から制御信号  $c$  として出力し、ネットワーク 2-1 の出力端子  $B$  から制御信号線 5 に送出する。

以下同様にして、ネットワーク2-2に付与された装置番号MNC = (b<sub>01</sub>, b<sub>00</sub>) = (10)が、制御信号c<sub>0</sub>に同期してフリップフロップ24に設定され、またネットワーク2-3に付与された装置番号MNC = (b<sub>01</sub>, b<sub>00</sub>) = (11)が、ネットワーク2-2内の遅延素子25から出力される制御信号c<sub>0</sub>に同期してフリップフロップ24に設定される。

以上により、各ネットワーク2にそれぞれ装置番号MNCが設定されると、中央制御装置1はゲート13および14に対するイネーブル信号eの入力を停止し、またカウンタ11に対するクロック信号clkの入力を停止する。

以上の説明から明らかな如く、本実施例によれば、中央制御装置1に各ネットワーク2が接続されると、各ネットワーク2の装置番号MNCが、人手が介入すること無く自動的に設定されることとなる。

なお、第2図および第3図はあく迄本発明の一実施例に過ぎず、例えばネットワーク2の接続数、

並びに装置番号MNCの構成は図示されるものに限定されることは無く、他に幾多の変形が考慮されるが、何れの場合にも本発明の効果は変わらない。また本発明の対象となるシステムは、図示される電子交換機の中央制御装置1およびネットワーク2に限定されぬことは言う迄も無い。

#### (発明の効果)

以上、本発明によれば、前記システムにおいて、設置場所において制御装置と各被制御装置とをバスケーブルにより接続すると、各被制御装置に付与される装置番号が自動的に設定されることとなり、装置番号設定用の工数は大幅に削減され、また人為的な誤りが発生する危険性も除去される。

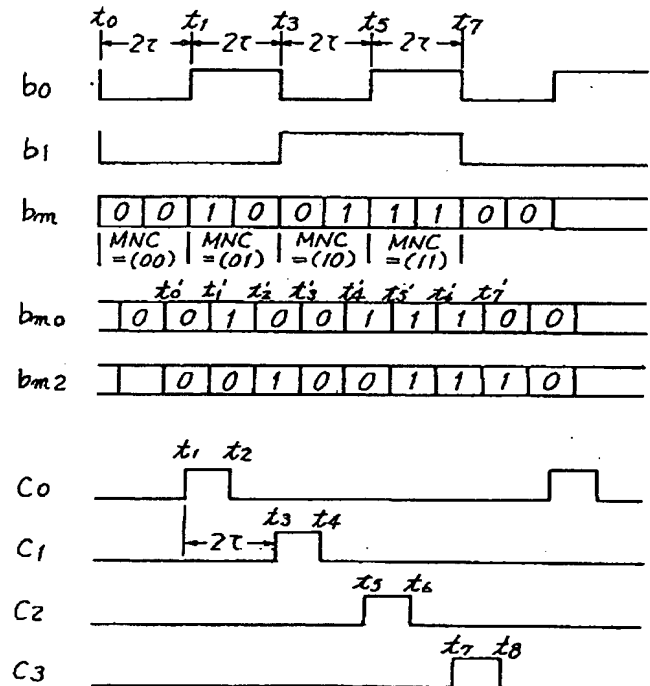
#### 4. 図面の簡単な説明

第1図は本発明の原理を示す図、第2図は本発明の一実施例による装置番号設定方式を示す図、第3図は第2図における各種信号波形を例示する図、第4図は従来ある装置番号設定方式の一例を

示す図である。

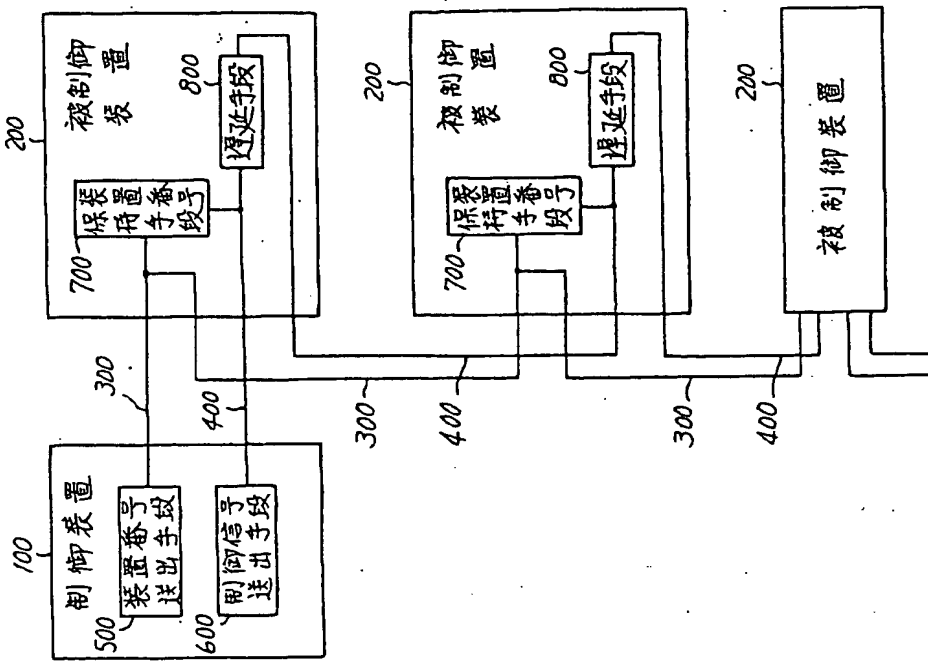
図において、1は中央制御装置(CC)、2はネットワーク(NW)、3はバスケーブル、4は装置番号線、5は制御信号線、11はカウンタ(CNT)、12はマルチプレクサ(MPX)、13および14はゲート、21は装置番号レジスタ、22はコマンドレジスタ(CR)、23および25は遅延素子(DL)、24はフリップフロップ(FP)、100は制御装置、200は被制御装置、300は第一の信号線、400は第二の信号線、500は装置番号送出手段、600は制御信号送出手段、700は装置番号保持手段、800は遅延手段、を示す。

代理人 弁理士 井 術 貞

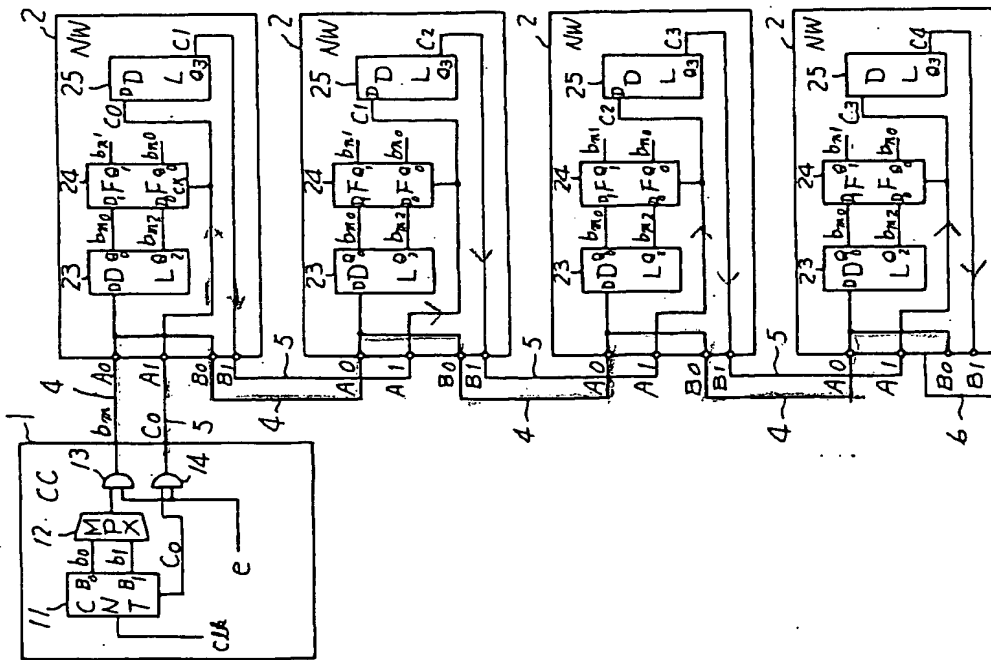


第2図における各種信号波形

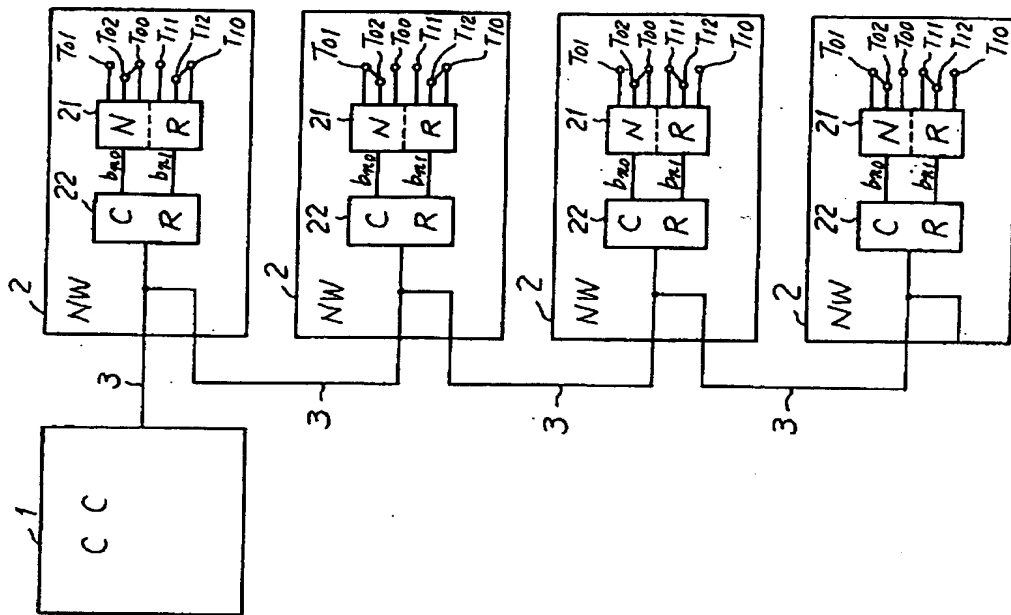
第 3 図



本発明の原理図  
第1図



本発明による装置番号設定方式  
第2図



従来ある装置番号設定方式  
第 4 図



Japanese Patent Laid-open Publication No. HEI 1-102669 A

Publication date : April 20, 1989

Applicant : Fujitsu Limited

Title : Apparatus Number Setting Method

5

[Problems to be Solved by the Invention]

As is clear from the above description, in the conventional apparatus number setting method, in order to set the apparatus number MNC to each network 2, it is necessary to connect the apparatus number setting terminals 10  $T_{00}$  to  $T_{1x}$  according to the apparatus number MNC. Therefore, there are problems that a large number of man-hour is required, human error may be generated, and faults such as redundant setting are caused.

Instead of the connection of apparatus number setting terminals  $T_{00}$  to  $T_{1x}$ , the method of operating a switch has also been in practical use. 15 However, the same problems are found.

An object of the present invention is to achieve an apparatus number setting method without taking much man-hour and human error.

[Effect]

20 The first signal line 300 is provided in order to transmit the apparatus number provided to each controlled apparatus 200, and the second signal line 400 is provided in order to transmit a control signal for specifying transmission timing of the apparatus number on the first signal line 300.

The apparatus number transmitting unit 500 digitally encodes the 25 apparatus number provided to each controlled apparatus 200 and performs

time-division multiplexing to transmit the apparatus number to the first signal line 300.

The control signal transmitting unit 600 transmits the control signal to the second signal line 400. The control signal specifies the transmission  
5 timing of the apparatus number provided to the foremost-step controlled apparatus 200 adjacent to the controlling apparatus 100.

The apparatus number holding unit 700 holds the apparatus number in synchronization with the control signal. The apparatus number is transmitted from the controlling apparatus 100 or the fore-step controlled apparatus 200  
10 through the first signal line 300, and the control signal is transmitted from the controlling apparatus 100 or the fore-step controlled apparatus 200 through the second signal line 400. The apparatus number holding unit 700 also transfers the apparatus number transmitted from the controlling apparatus 100 or the fore-step controlled apparatus 200 to the post-step controlled apparatus 200  
15 without any delay.

The delaying unit 800 provides the delay equal to a period during which one apparatus number is transmitted through the first signal line 300 to the control signal transmitted from the fore-step controlled apparatus 200, and the delaying unit 800 transfers the control signal to the post-step controlled  
20 apparatus 200.

Accordingly, in an installation place of the system, when the controlling apparatus and each controlled apparatus are connected with a bus cable, the apparatus number provided to each controlled apparatus is automatically set. Therefore, the man-hour required for setting the apparatus number is  
25 significantly decreased and the possibility that the human error is generated is

also eliminated.

[Embodiment]

One embodiment of the present invention will be explained below with  
5 reference to the accompanying drawings. Fig. 2 depicts an apparatus  
number setting method according to an embodiment of the invention, and Fig.  
3 depicts examples of various signal waveforms in Fig. 2. In the drawings,  
like reference numerals designate like elements. Furthermore, the explained  
system in the embodiment is set to be the electronic automatic exchanger like  
10 Fig. 4, the controlling apparatus 100 is set to the central controlling apparatus  
(CC) 1, and the controlled apparatuses 200 are set to the four networks (NW) 2.  
Similarly, the apparatus numbers MNC provided to the networks 2-0 to 2-3 are  
set to  $(b_{m1}b_{n0}) = (00)$  to  $(11)$ .

In Fig. 2, an apparatus number line 4 and a control signal line 5 are  
15 provided in Fig. 2, and the apparatus number line 4 and a control signal line 5  
correspond to the first signal line 300 and the second signal line 400 in Fig. 1,  
respectively. A bus cable 3 (see Fig. 4) that connects the central controlling  
apparatus 1 and each network 2 in series is omitted in Fig. 2.

The apparatus number line 4 connects an output terminal  $B_0$  of the  
20 fore-step network 2 and an input terminal  $A_0$  of the post-step network 2 while  
connecting an output terminal of a gate 13 in the central controlling apparatus 1  
and an input terminal  $A_0$  of the foremost-step network 2-0. In each network 2,  
because the input terminal  $A_0$  and the output terminal  $B_0$  are directly  
short-circuited, the apparatus number line 4 connects the output terminal of the  
25 gate 13 in the central controlling apparatus 1 to the input terminal  $A_0$  of each

network 2.

On the other hand, the control signal line 5 connects an output terminal  $B_1$  of the fore-step network 2 and an input terminal  $A_1$  of the post-step network 2 while connecting an output terminal of a gate 14 in the central controlling apparatus 1 and an input terminal  $A_1$  of the foremost-step network 2-0.

A binary two-digit counter (CNT) 11 and a multiplexer (MPX) 12 are provided in the central controlling apparatus 1, and the counter (CNT) 11 and the multiplexer (MPX) 12 correspond to the apparatus number transmitting unit 500 and the control signal transmitting unit 600 in Fig. 1 respectively. A delay element (DL) 23 and a flip-flop (FF) 24 are provided in each network 2, and the delay element (DL) 23 and the flip-flop (FF) 24 correspond to the apparatus number holding unit 700 in Fig. 1. A delay element (DL) 25 is also provided in each network 2, and the delay element (DL) 25 corresponds to the delaying unit 800 in Fig. 1.

In Figs. 2 and 3, when each network 2 is not connected to the central controlling apparatus 1, an enable signal  $e$  (logic "1") is not inputted to the gates 13 and 14, and a clock signal  $clk$  is not inputted to the counter 11.

In this state, when each network 2 is connected to the central controlling apparatus 1 with the bus cable (not shown) in the order of the network 2-0, the network 2-1, the network 2-2, and the network 2-3, the central controlling apparatus 1 becomes a conductive state by inputting the enable signal  $e$  (= logic "1") to the gates 13 and 14, and the central controlling apparatus 1 inputs the clock signal  $clk$  having a period of  $2\tau$  after performing initial setting of the counter 11.

The counter 11 starts stepping by the clock signal  $clk$ . The counter 11

outputs the lower-digit bits  $b_0$  and the higher-digit bits  $b_1$  in the two-digit binary number, which correspond to the apparatus number MNC of the networks 2-0 to 2-3, in each period ( $2\tau$ ) to transmit the ones digits  $b_0$  and the tens digits  $b_1$  of the binary number to the multiplexer 12.

5           The multiplexer 12 performs the time-division multiplexing to the lower-digit bits  $b_0$  and the higher-digit bits  $b_1$  transmitted from the counter 11, and then transmits the lower-digit bits  $b_0$  and the higher-digit bits  $b_1$  in the form of an apparatus number column  $b_m$  to the apparatus number line 4 through the gate 13 that is in the conductive state.

10           Thus, the apparatus number column  $b_m$  indicates the apparatus number MNC=(00) of the network 2-0 in a first period ( $t_0$  to  $t_1$ ), the apparatus number MNC=(01) of the network 2-1 in a second period ( $t_1$  to  $t_3$ ), the apparatus number MNC=(10) of the network 2-2 in a third period ( $t_3$  to  $t_5$ ), and the apparatus number MNC=(11) of the network 2-3 in a fourth period ( $t_5$  to  $t_7$ ).

15           Further, the counter 11 outputs a control signal  $c_0$  in the first half ( $t_1$  to  $t_2$ ) of the second period to transmit the control signal  $c_0$  to the control signal line 5 through the gate 14 that is in the conductive state.

          The apparatus number column  $b_m$  transmitted onto the apparatus number line 4 is inputted to an input terminal D of the delay element 23 in each network 2 through the apparatus number line 4. After the delay having the quarter period ( $\tau/2$ ) is provided to the apparatus number column  $b_m$ , the apparatus number column  $b_m$  is outputted in the form of a bit column  $b_{m0}$  from an output terminal  $Q_0$  of each delay element 23. After the delay having the quarter period ( $\tau/2$ ) is further provided to the bit column  $b_{m0}$ , the bit column  $b_{m0}$  is outputted in the form of a bit column  $b_{m2}$  from each output terminal  $Q_2$ . The

20

25

bit columns  $b_{m0}$  and  $b_{m2}$  are transmitted to input terminals  $D_1$  and  $D_0$  of the flip-flop 24.

Accordingly, the bit columns  $b_{m2}$  and  $b_{m0}$  indicate the lower-digit bits  $b_0$  and the higher-digit bits  $b_1$  in the two-digit binary number of each apparatus  
5 number MNC during a time interval  $t_0'$  to  $t_1'$ , a time interval  $t_2'$  to  $t_3'$ , a time interval  $t_4'$  to  $t_5'$ , and a time interval  $t_6'$  to  $t_7'$  respectively.

On the other hand, the control signal  $c_0$  transmitted onto the control signal line 5 from the central controlling apparatus 1 is transmitted to a clock terminal CK of the flip-flop 24 and the input terminal D of the delay element 25  
10 in the foremost-step network 2-0 through the control signal line 5.

At the time  $t_1$  when the control signal  $c_0$  inputted to the clock terminal CK rises, the flip-flop 24 in the network 2-0 holds the bit columns  $b_{m2}$  and  $b_{m0}$  inputted to the input terminal  $D_0$  and  $D_1$ , and the flip-flop 24 outputs the logic "0" as the lower-digit bits  $b_0$  and the higher-digit bits  $b_1$  of the apparatus number  
15 MNC from both the output terminals  $Q_0$  and  $Q_1$ .

Thus, the apparatus number  $MNC=(b_{m1}b_{n0})=(00)$  provided to the network 2-0 is set in the flip-flop 24.

After the delay element 25 in the network 2-0 provides the delay of the period during which each apparatus number MNC is transmitted by the  
20 apparatus number column  $b_m$ , i.e. one period ( $2\tau$ ) to the control signal  $c_0$  inputted to the input terminal D, the delay element 25 outputs the control signal  $c_0$  in the form of a control signal  $c_1$  from an output terminal  $Q_3$  to transmit the control signal  $c_1$  to the control signal line 5 from the output terminal  $B_1$  of the network 2-0.

25 The control signal  $c_1$  transmitted onto the control signal line 5 is

transmitted to the input terminal  $A_1$  of the post-step network 2-1 through the control signal line 5.

In the network 2-1, the control signal  $c_1$  inputted from the input terminal  $A_1$  is transmitted to the clock terminal CK of the flip-flop 24 and the input  
5 terminal  $D_1$  of the delay element 25.

At the time  $t_3$  when the control signal  $c_1$  inputted to the clock terminal CK rises, the flip-flop 24 in the network 2-1 holds the bit columns  $b_{m2}$  and  $b_{m0}$  inputted to the input terminal  $D_0$  and  $D_1$ , and the flip-flop 24 outputs the logic "1" and the logic "0" as the lower-digit bits  $b_0$  and the higher-digit bits  $b_1$  of the  
10 apparatus number MNC from the output terminals  $Q_1$  and  $Q_0$  respectively.

Thus, the apparatus number  $MNC=(b_{m1}b_{n0})=(01)$  provided to the network 2-1 is set in the flip-flop 24.

After the delay element 25 in the network 2-1 provides the delay of one period ( $2\tau$ ) to the control signal  $c_1$  inputted to the input terminal D, the delay  
15 element 25 outputs the control signal  $c_1$  in the form of a control signal  $c_2$  from an output terminal  $Q_3$  to transmit the control signal  $c_2$  to the control signal line 5 from the output terminal  $B_1$  of the network 2-1.